

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-74909

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66	S	7013-4M		
G 0 1 R 31/26	G	9214-2G		
31/28				
H 0 1 L 21/66	Z	7013-4M	G 0 1 R 31/ 28	Z
		6912-2G		

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平2-402830

(22)出願日 平成2年(1990)12月17日

(71)出願人 000101248

アジアエレクトロニクス株式会社

東京都世田谷区用賀2-35-1

(72)発明者 神谷 隆幸

神奈川県横浜市緑区中山町500-1 アジ

アエレクトロニクス株式会社横浜事業所内

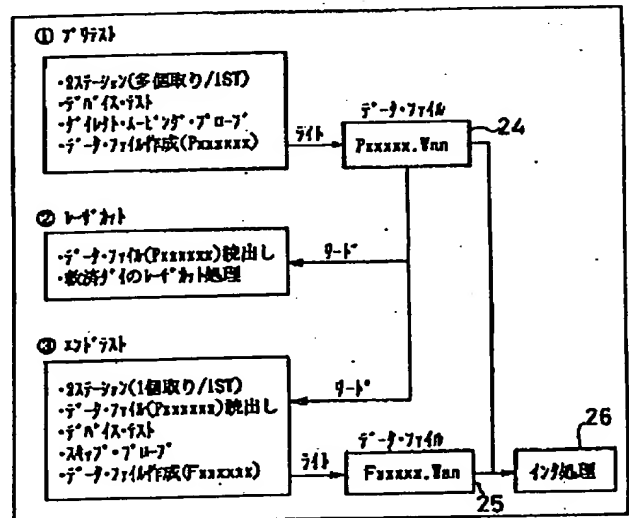
(74)代理人 弁理士 油井 透 (外2名)

(54)【発明の名称】 ウェハテスト方法

(57)【要約】

【目的】 ウェハ中のメモリ欠陥救済後に行なわれる救済確認テストにおいて、それまでウェハ中のチップ全数について行なっていたテストを、救済処理を施したチップのみについて行い、テスト時間の短縮化を図る。

【構成】 バス・フェイル情報に加えて、デバイス試験で見つけた救済可能なチップのデータを格納するデータ・ファイル24を作る(①のアリテスト)。このデータに基づき救済可能なチップについて救済を行なう(②のレーザカット)。同じデータ・ファイル24を用いて、救済を施したチップを検索して、救済を行なったチップのみに対してスキップ・ブローピングテストを繰り返す(③エンドテスト)。救済確認テストで得たデータ・ファイル25とアリテストで得たデータ・ファイル24とに基づきフェイルチップに対してインク処理26を施す。



本発明の概念図

1

【特許請求の範囲】

【請求項1】 前工程での救済可能なウェハ中の素子欠陥をデバイス試験で見つけて、その素子配線を切断して素子を救済した後、その救済の確認のために再度デバイス試験を行うウェハテスト方法において、デバイス試験で見つけた救済可能なチップのデータを格納するデータ・ファイルを作り、このデータに基づきウェハ中の救済可能なチップについて配線カットによる救済を行なった後、ウェハ中で救済を行なったチップのみに対して再度のデ

バイス試験を繰り返すようにしたことを特徴とするウェハテスト方法。

【請求項2】 再度のデバイス試験で、救済確認テストにより得られたパス・フェイル情報からなるデータ・ファイルを作り、このデータ・ファイルに基づいて、フェイルデバイスにフェイル処理を施すようにしたことを特徴とする請求項1に記載のウェハテスト方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ウェハ中の素子の欠陥救済前後に行なわれるウェハテスト方法に係り、特に素子救済後に行なわれる救済確認テストを改善したものに

【0002】

【従来の技術】一般に、1Mビット以上の容量のメモリテストシステムでは、生産ラインの歩留り向上とテストコストの低減のため、ウェハ検査工程でメモリの欠陥救済(リダンダンシ)の導入が要求される。このメモリのリダンダンシとは、救済することが可能な、ウェハ製造工程での配線オープン、ショート等の欠陥を発見して、該当する配線をメモリセルから切り離し、予め用意した救済用のセルを代りに充当することにより、メモリチップを修理(リペア)する技術である。

【0003】このために、オフラインのメモリリペアシステムが構築されている。これは、プリテストでデバイス試験(チップ試験)を行なってリダンダンシ情報を得た後、リダンダンシ情報に基づき救済可能なメモリセルに対して配線のカットを行う。そして、カットしたメモリセルを含むチップがリペアされているか否かのエンド

テストを行う。

【0004】この試験過程を詳しく説明する。

【0005】①プリテスト ウェハ中の試験対象のチップ(ダイともいう)を測定位置にプローバで移動し、半導体測定装置(以下、テストという)によってデバイス試験を行ない、カテゴリ(品質度)の分類を行う。これをウェハ中の全てのチップに対して繰り返し行う。そして、ウェハ毎にカテゴリ・データ・ファイルを作製し、試験されたチップ毎のアドレスやそのカテゴリ・データを格納する。後者のカテゴリ・データにはパ

2

ス、フェイル、リダンダンシ情報等が含まれる。

【0006】②レーザカット プリテストで作成されたカテゴリ・データ・ファイルから、ウェハ中で救済可能なチップに対して、レーザ装置によって救済を行う。

【0007】③エンドテスト チップ試験(デバイス試験)の最終工程として、リダンダンシ試験を除き、上記プリテストと同じ試験をチップの全数について行う。この再試験でパスとなったものはリペアされたことになる。

【0008】

【発明が解決しようとする課題】上述したように、従来のウェハテストの試験においては、被測定ウェハに対してテストを使用して、①→②→③の試験過程が必要となる。

【0009】ところが、③のエンドテストでは、①で試験を行なった全てのチップに対して、再度同一試験を行なうことになる。すなわち、本来、救済したチップのみを試験してリペアの確認のみを行なえばよいのに、既にパスしていて更にチェックする必要のないチップ及び、もともと救済不可能でフェイルになっているチップを再び試験している。これは、次のような種々の欠点をもたらしていた。ウェハ検査工程でのウェハテスト時間を延し、生産性を低下させる。また、テスト時間の延長により、プローバに取り付けられるプローブ・カードの多数の針を傷めやすく、その交換時期が早まる。さらに、テスト内の消耗部品の交換時期をも早めることになる。

【0010】本発明の目的は、上述した従来の欠点を解消して、ウェハテスト時間の短縮と生産性の向上を図り、かつウェハテストに必要な消耗部品の寿命を向上させることが可能なウェハテスト方法を提供することにある。

【0011】

【課題を解決するための手段】本発明は、前工程であるウェハ製造工程での救済可能なウェハ中の素子欠陥をデバイス試験で見つけて、その素子配線を切断して素子を救済した後、その救済の確認のために再度デバイス試験を行うウェハテスト方法に適用される。

【0012】デバイス試験で見つけた救済可能なチップのデータを格納するデータファイルを作成し、このデータに基づきウェハ中の救済可能なチップについて配線カットによる救済を行なった後、前記データに基づきウェハ中で救済を行なったチップのみに対して再度のデバイス試験を繰り返すようにして、再度のデバイス試験でウェハ中の全チップ数分の試験を繰り返さないようにしたものである。

【0013】この再度のデバイス試験において、最終的に救済できなかったチップをフェイルとして取り扱うために、救済確認テストにより得られたパス・フェイル情報からなるデータファイルを別に作り、このデータファイルに基づいてフェイルデバイスにフェイル処理を施す

50

ようにすることが望ましい。

【0014】

【作用】本来、素子欠陥の救済後に行なわれるデバイス試験は、救済の確認のための試験であるから、救済の行なわれたチップのみを試験するだけで足りる。

【0015】この点で本発明では、ウェハ中で救済を行なったチップのみに対して再度のデバイス試験を繰り返すようにしているので、無駄のない効率の良い試験を行うことができる。特に、量産工程で、かつ、ウェハ当りの全チップ数に対して、救済の行なわれるチップ数の占める割合が小さい程効果的となる。

【0016】

【実施例】以下、メモリに適用した本発明のウェハテスト方法の実施例を図1～図4を用いて説明する。

【0017】図4はウェハテスト方法を実施するためのシステム構成例を示す。ウェハテストを行うテスト31と、リダンダンシ可能なチップセルの配線をカットするレーザビーム装置32と、フェイルチップにマークを付けるインカマシン33とが、ネットワーク35を介してホストコンピュータ34に接続されている。テスト31には2台のプロバ#1、#2が接続されマルチテストが可能になっている。ホストコンピュータ34は、これに接続されたテスト31、レーザ・ビーム装置32、インカマシン33を統括制御すると共に、テスト31に対するテストパターンのダウンロードとか、データ処理のためにテスト31からのテスト結果を吸い上げるようになっている。

【0018】上記システムにより実施されるウェハテスト方法の概要を図1に示す。

【0019】①プリテスト チップ並列テスト(いわゆる多個取り)が可能な2ステーションを構成するプロバ#1、#2でデバイス試験を行う。このとき、ウェハのエッジ付近のチップに移動してプローブしたときは、同時に複数のチップをプロービングすることが可能な多個取り用のプローブ・カードのために、針がウェハのエッジに接触してしまいダメージを受けることがある。これを防ぐために、ウェハの中のチップの移動するアドレスを予め指定し、ウェハのエッジの内側のチップのみをプローブするようにしてある。これをダイレクト・ムビング・プローブという。そして、テスト31内のハードディスクにウェハ毎にカテゴリ・データ・ファイル(ファイル名Pxxxxxx.Wnn)24を作成する。ここで、ファイル名の先頭の“P”はプリテストの頭文字を表し、ファイル名の残り及び拡張子の“xxxxxx.Wnn”中にはウェハのロットNo.及びウェハNo.を表す。試験内容は配線が断線しているか否かを調べるオープンチェック(OC)、電流リークや電圧レベルを調べるDC試験、ファンクション試験、リペアのためのリダンダンシチェック等が行なわれる。

【0020】このファイル24には試験されたチップ毎

のアドレスやそのカテゴリ・データ(良品、不良品、及びリダンダンシ可能か否かの分類)等を格納する。ここで、チップのアドレスとはチップ内の物理的位置をXY軸座標で表したものである。例えば、6インチウェハであれば数百個程度のチップが得られるが、これらに個別のアドレスがふられることになり、そのアドレスにより当該チップの場所が特定される。また、カテゴリ・データは、例えば、バス(良品)は“0”、フェイル(不良)は“1”という形で格納される。そしてリダンダンシのカテゴリ・データの場合には、救済可能であれば“2”というようにリダンダンシ情報を付けて格納される。このウェハ試験は、通常ロット単位で行なわれ、これらウェハの試験結果には上述したようにファイル名にロットNo.、ウェハNo.が付されてデータ・ファイル24に格納され、まとまった段階で、ネットワーク35を通じてホストコンピュータ34に吸い上げられる。

【0021】このカテゴリ・データ・ファイル24に格納されたデータのうち、バスとリダンダンシ可能なもの以外のデータをもつチップについては、全てフェイルであるとしてインク処理26が施される。

【0022】②レーザカット レーザカットは通常①のテストが終わったウェハについて、まとめて行なわれる。ホストコンピュータ34から、レーザカットを行なおうとするウェハについてのカテゴリ・データ・ファイル24を読み出して、ウェハ中で救済可能なチップを検索する。リダンダンシ可能なカテゴリがあった場合、即ち救済チップが検索されると、そのチップ情報からレーザカットのアドレスを読み出してそのアドレスにレーザ装置32のビーム口を移動させレーザカットを行う。即ち、該当するメモリセルの配線をメモリセルから切り離して、予め用意した救済用のセルを代りに充当してメモリを救済する。

【0023】③エンドテスト ②でレーザカット処理済のウェハを対象として、まず①のプリテストで作成したカテゴリ・データ・ファイル(Pxxxxxx.Wnn)24をホストコンピュータ34から呼出して、そのファイル中でリダンダンシ可能なチップのカテゴリ・データを再度検索する。次に、検索したリダンダンシ可能なチップのカテゴリ・データを基に、プロバ#1、#2でそのチップのアドレスの測定位置にスキップ移動させ、その救済されたチップのみのプロービング及びテストを行う。これをウェハ中で救済処理の施された全てのチップに対して繰り返す。そして、ウェハ毎にカテゴリ・データ・ファイル(Fxxxxxx.Wnn)25を作成し、テストしたチップのアドレスとそのカテゴリ・データを格納する。カテゴリ・データ・ファイル25に格納されるカテゴリ・データは既述したデータファイル24と異なり、バスかフェイルかだけでなく、フェイル情報をつけられたチップは救済できなかったとしてインク処理25が施される。なお、救済を施し

5

てもフェイルになる例としては、I/Oエラーとか、電源エラー等がある。

【0024】このようにウェハ中の全チップ数ではなく、救済したチップのみについてテストを行うこの方法を、ここではスキップ・ブローピング方式と呼ぶことにする。このスキップ・ブローピング方式を利用したエンドテストでは、救済されたチップのアドレスが分散するので、多個取りではなく、1個取りでチップの試験を行うことが好ましい。また、スキップ・ブローピング方式を利用した場合、エンドテストのカテゴリ・データ・ファイル(Fxxxxxx.Wnn) 25中のデータには、救済処理を施したチップのデータのみが格納される。そのため、不良チップのインク処理26において、プリテストとエンドテストのそれぞれのカテゴリ・データ・ファイル24、25を利用してインク処理対象となるカテゴリのチップにインカマシン33によりインキングする。

【0025】次に、図2及び図3を用いて本発明の要部となるエンドテストにおけるスキップ・ブローピング・フローを具体的に説明する。

【0026】レーザカット処理済のウェハがブローバ#1、#2にセットされるのを待ち(ステップ101)、セットされたらエンドテストで作成するデータ・ファイル名(Fxxxxxx.Wnn)を入力する(ステップ102)。そしてサブルーチンに入り、ここでデータ・ファイルから救済チップアドレスの検索処理を行なつて、ブローバにスキップすべき位置を指示するためのスキップ・アドレス・テーブル"XXX(a)"を作る。このときのデータ数をnとするが、このルーチン内ではa=nである(ステップ103)。スキップ・アドレス・テーブルの変数aを初期値a=1にセットする(ステップ104)。

【0027】つづけて、データ数n=0か否かを判断し(ステップ105)、“0”であればそのウェハについてスキップ・ブローピングが終わったとして本フローの最初に戻る。否であれば未だリペア確認を要するチップがあるとして、スキップ・アドレス・テーブル"XXX(a)"の位置にウェハを移動する(ステップ106)。

移動後ブローピングを行ない、バス/フェイルのデバイス試験をする(ステップ107、108)。エンドテストのデータ・ファイル25にチップのアドレスとその試験結果、即ちバスかフェイルかを格納する(ステップ109)。そして、nの値をデクリメントすると共に(n=n-1)、変数aの値をインクリメント(a=a+1)した後(ステップ110)、ステップ105に戻りリペア確認を要する全てのチップについてのチェックが終わるまでデバイス試験を繰り返す。

【0028】次に上述したサブルーチンステップ103の詳細を図3を用いて説明する。

【0029】テスト31のコンソールから、プリテスト

6

で作成したカテゴリ・データ・ファイル24のファイル名(Pxxxxxx.Wnn)を入力して、ホストコンピュータ34から、あるいはテスト31のハード・ディスクからデータ・ファイル24の呼出しを行う(ステップ201、202)。スキップ・データ数の初期値nをn=0に設定する(ステップ203)。

【0030】つづけて、データの検索処理を行なつて(ステップ204)、データ・ファイル・エンドが終了したか否かを判断し(ステップ205)、終了であればメインフロー(図2)にリターンする。データ・ファイルが終わっていないければ、救済データのカテゴリが見つかるまでデータの検索処理を繰り返す(ステップ206)。

救済データのカテゴリが見つかる、データ数をn=n+1とインクリメントしてから(ステップ207)、救済チップのウェハのアドレスをスキップ・アドレス・テーブル"XXX(n)"にセットし、データの検索処理を繰り返す(ステップ208)。このようにしてブローバがスキップ・ブローピングすべきスキップ・アドレス・テーブルを作成する。

【0031】以上述べたように本実施例によれば、重複した試験を行なわなくてよいためウェハテストの無駄を排除できる。このことは、メモリ容量の増大に伴いそのテスト時間の高速化を要求されているメモリウェハテストにおいて特に意義がある。

【0032】なお、上記実施例ではメモリの試験について説明したが、リダンダンシによるリペアシステムが要求されるテストであれば、必ずしもメモリに限定されるものではない。例えば、高度に集積化されたゲートアレイ、リニアIC等にも適用することは可能である。

【0033】

【発明の効果】本発明によれば、重複したテストを排除できるので、ウェハ検査工程におけるウェハテスト時間の短縮と生産性の向上を図ることが出来る。また、ブローバ・カードやテスト内の消耗部品の寿命を延すことができる。

【図面の簡単な説明】

【図1】本発明の全体の流れを示す概念図。

【図2】本発明のウェハテスト方法の要部となるエンドテストにおけるスキップ・ブローピングのフローチャート。

【図3】図2の要部の詳細なフローチャート。

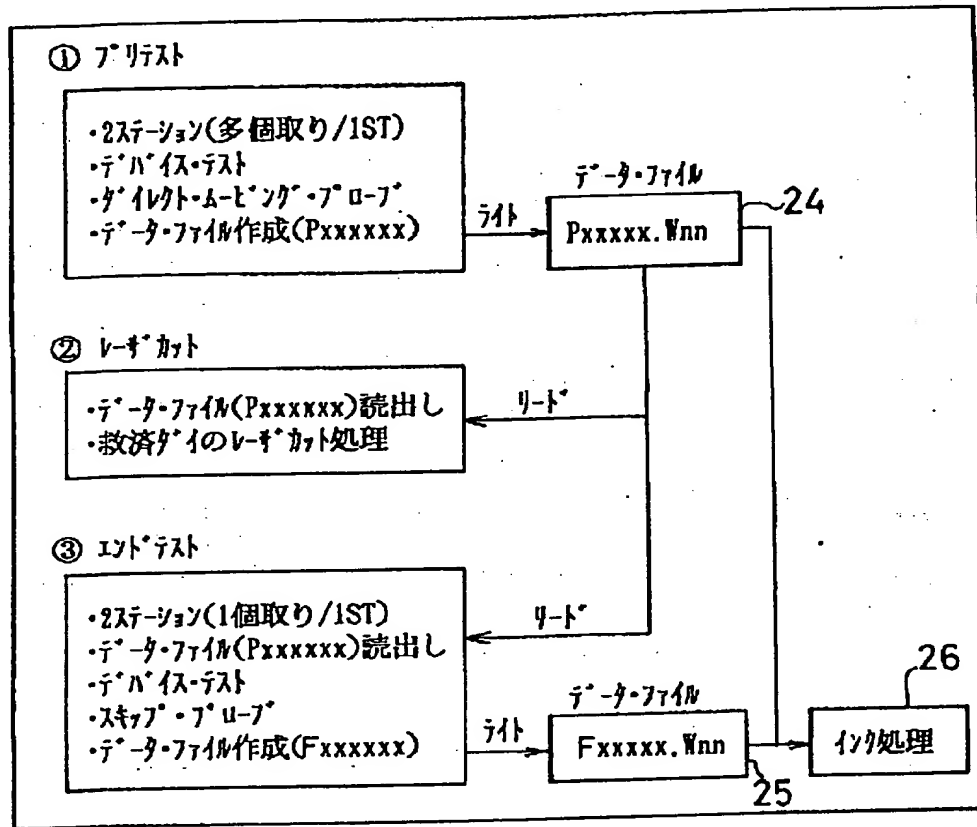
【図4】本発明の方法を実施するためのシステムを示すブロック構成図。

【符号の説明】

- 31 テスタ
- 32 レーザ装置
- 33 インカマシン
- 34 ホストコンピュータ
- 35 ネットワーク

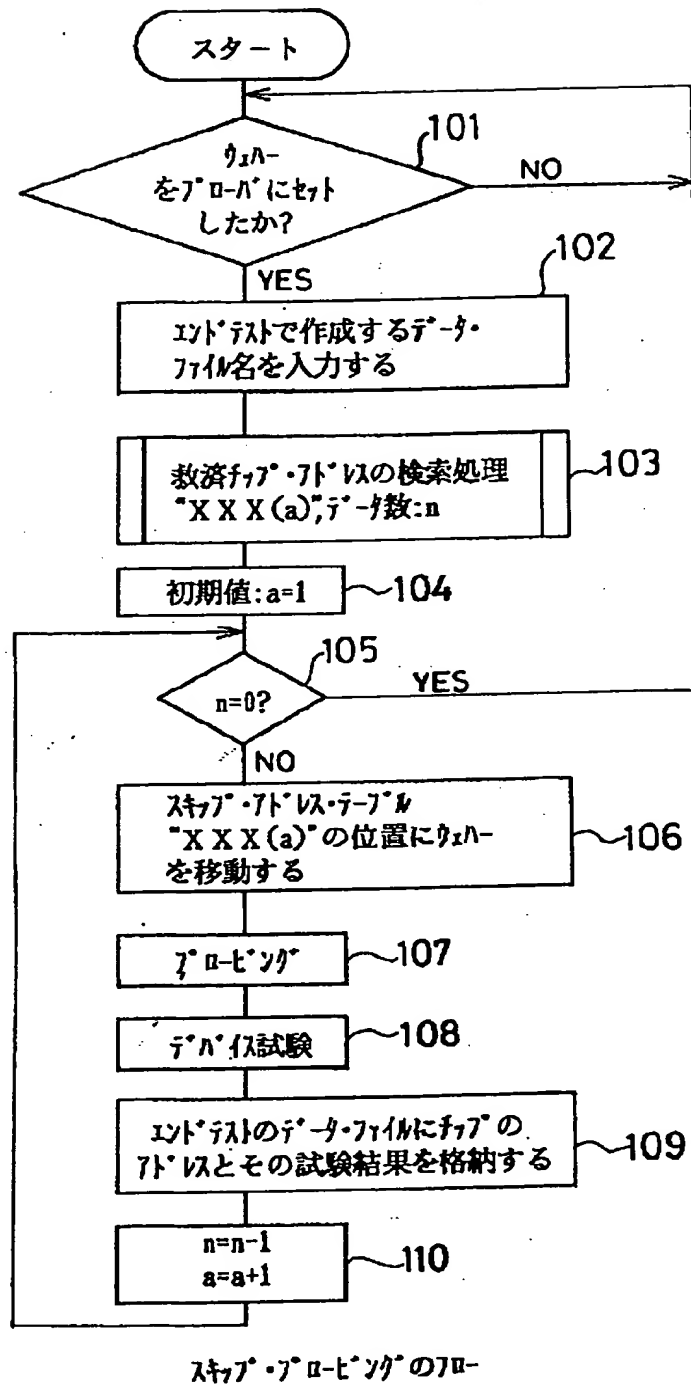
50

【図1】



本発明の概念図

【図2】



【図3】

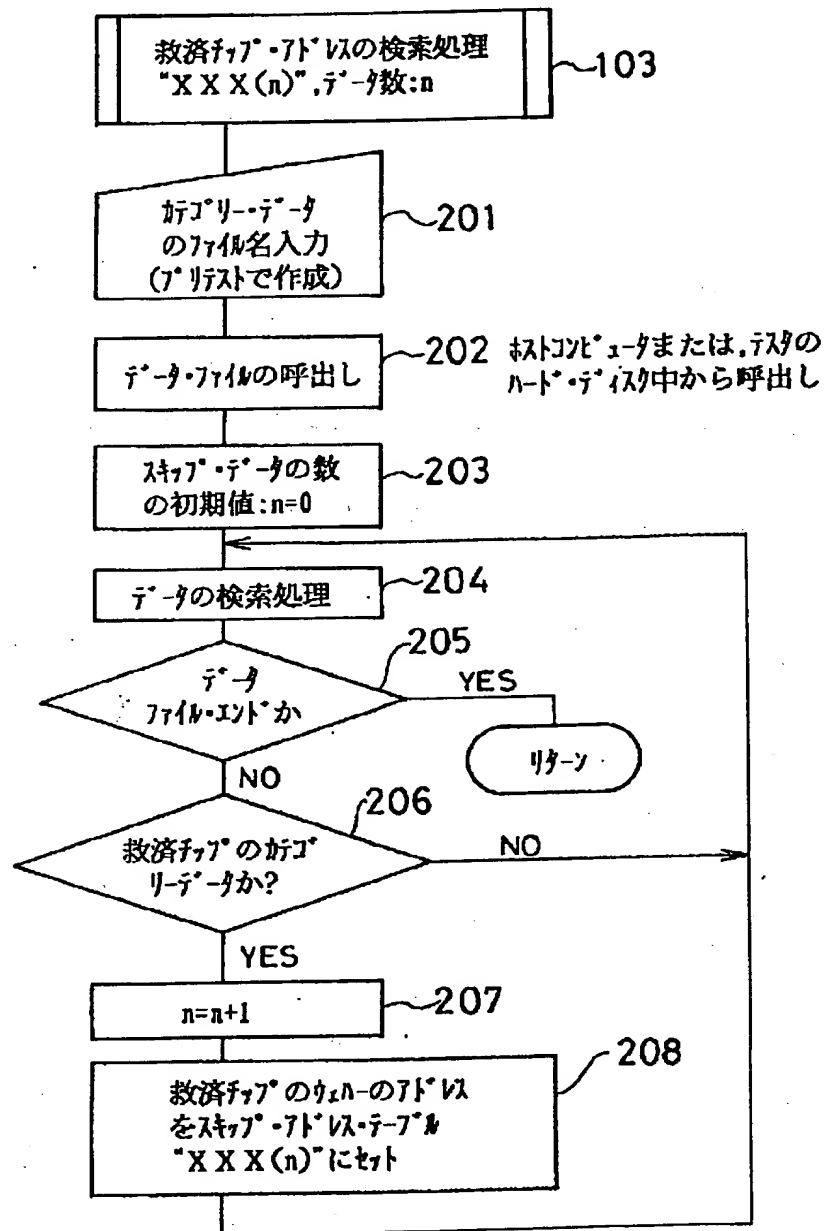
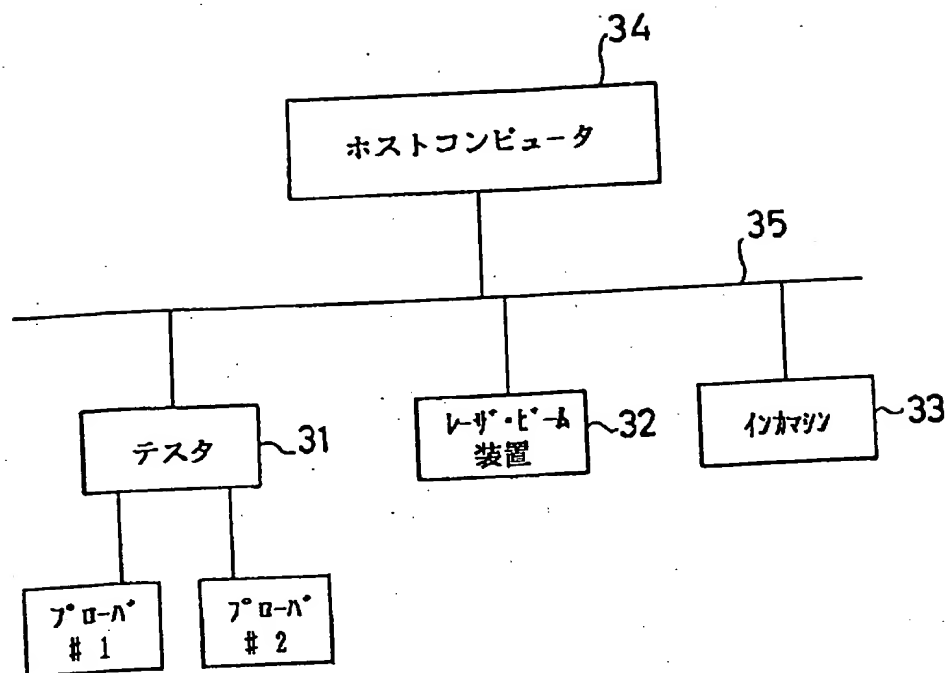


図2の要部フロー

(8)

【図4】



本実施例のシステム構成